

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176924

(43) 公開日 平成11年(1999) 7月2日

(51) IntCl⁶

H 0 1 L 21/76

識別記号

F I

H 0 1 L 21/76

L

審査請求 未請求 請求項の数 8 O L (全 5 頁)

(21) 出願番号 特願平10-144398

(22) 出願日 平成10年(1998) 5月26日

(31) 優先権主張番号 9 7 P 6 6 3 4 4

(32) 優先日 1997年12月5日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 漢 信

大韓民国京畿道儀旺市五全洞849番地 冬

柏アパート105棟901號

(72) 発明者 申 裕 均

大韓民国ソウル特別市江南區道谷洞538番

地 ジンダウルレアアパート7棟1005號

(72) 発明者 朴 ▲きゅん▼ 媛

大韓民国京畿道龍仁市器興邑農書里山24番

地

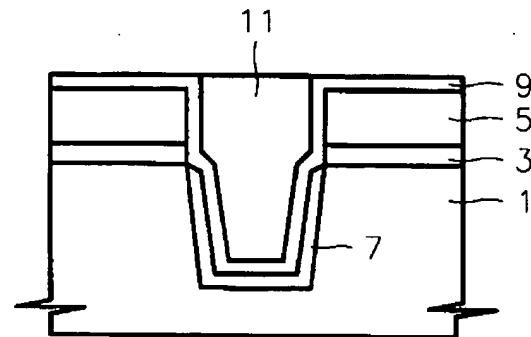
(74) 代理人 弁理士 八田 幹雄 (外3名)

(54) 【発明の名称】 半導体装置のトレンチ素子分離方法

(57) 【要約】

【課題】 半導体装置のトレンチ素子分離方法を提供する。

【解決手段】 半導体基板の所定領域が蝕刻され、形成されたトレンチ領域の側壁及び底に熱酸化膜を形成し熱酸化膜により囲まれたトレンチ領域に高密度プラズマ酸化膜を形成する半導体装置のトレンチ素子分離方法において、熱酸化膜及び高密度プラズマ酸化膜間に緩衝層を介在させることによって、高密度プラズマ酸化膜によるストレスがトレンチ領域の側壁及び底に加えられる現象を緩和させることができる。これにより、トランジスタのオフ電流を減らし、半導体装置の電力消費を減らせることができることはもちろん、半導体記憶素子のメモリーセル特性、例えばDRAMセルまたはSRAMセルのデータ維持特性を改善させることができる。



【特許請求の範囲】

【請求項1】 半導体基板上にパッド酸化膜及びパッド窒化膜を順に形成する段階と、

前記パッド窒化膜及び前記パッド酸化膜を連続的にパターンニングし、前記半導体基板の所定領域を露出させてパッド酸化膜パターン及びパッド窒化膜パターンを形成する段階と、

前記露出した半導体基板を蝕刻し、トレンチ領域を形成する段階と、

前記トレンチ領域が形成された結果物を熱酸化させ、前記トレンチ領域の側壁及び底に熱酸化膜を形成する段階と、

前記熱酸化膜が形成された結果物全面に緩衝層を形成する段階と、

前記緩衝層により囲まれたトレンチ領域を充填する高密度プラズマ酸化膜パターンを形成する段階とを含むことを特徴とする半導体装置のトレンチ素子分離方法。

【請求項2】 前記高密度プラズマ酸化膜パターンを形成する段階は、

前記緩衝層が形成された結果物全面に前記緩衝層により囲まれたトレンチ領域を充填する高密度プラズマ酸化膜を形成する段階と、

前記パッド窒化膜パターン上の緩衝層が露出するまで、前記高密度プラズマ酸化膜を蝕刻し、前記トレンチ領域内に高密度プラズマ酸化膜パターンを形成する段階とを含むことを特徴とする請求項1に記載の半導体装置のトレンチ素子分離方法。

【請求項3】 前記高密度プラズマ酸化膜を形成する段階以後に、

前記高密度プラズマ酸化膜を凝縮させる段階をさらに具備することを特徴とする請求項2に記載の半導体装置のトレンチ素子分離方法。

【請求項4】 前記高密度プラズマ酸化膜を凝縮させる段階は500℃ないし1000℃で、アルゴンガスまたは窒素ガスを雰囲気ガスとして使用し、熱処理することを特徴とする請求項3に記載の半導体装置のトレンチ素子分離方法。

【請求項5】 前記高密度プラズマ酸化膜を蝕刻する方法は化学機械的研磨工程またはエッチバック工程を使用することを特徴とする請求項2に記載の半導体装置のトレンチ素子分離方法。

【請求項6】 前記緩衝層はシリコン窒化膜またはCVD酸化膜で形成することを特徴とする請求項1に記載の半導体装置のトレンチ素子分離方法。

【請求項7】 前記シリコン窒化膜は20Åないし100Åの厚さで形成することを特徴とする請求項6に記載の半導体装置のトレンチ素子分離方法。

【請求項8】 前記CVD酸化膜は20Åないし500Åの厚さで形成することを特徴とする請求項6に記載の半導体装置のトレンチ素子分離方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に半導体装置のトレンチ素子分離方法に関する。

【0002】

【従来の技術】一般的に、半導体装置は数多くの単一素子、例えば数多くのMOSトランジスタで構成される。そして、それぞれのMOSトランジスタは素子分離膜により相互隔離されるよう形成される。これまで、素子分離膜を形成する方法としては、シリコン基板の所定領域を選択的に熱酸化させ、厚いフィールド酸化膜を形成するLOCOS (Local Oxidation of Silicon) 工程が広く使用されてきた。しかし、LOCOS工程によるフィールド酸化膜ではそのへりにバズビーク (bird's beak) が生じて、フィールド酸化膜間の活性領域幅を縮めるとい問題点がある。これに伴い、高集積半導体装置に適したトレンチ素子分離技術が提案されたことがある。従来のトレンチ素子分離技術は半導体基板の所定領域を選択的に蝕刻してトレンチ領域を形成し、前記トレンチ領域を絶縁膜、例えば酸化膜で充填する方法である。したがって、トレンチ素子分離技術によれば、素子分離領域に該当するトレンチ領域の幅及び深さを適切に調節することによって、トレンチ領域間の活性領域幅を極大化させることができることはもちろん、素子分離特性を向上させることができる。

【0003】従来のトレンチ素子分離方法では、トレンチ領域内に段差塗布性が優秀なCVD酸化膜を形成する。このとき、素子分離領域、すなわちトレンチ領域の幅が0.5μmまたはそれ以下であるとき、トレンチ領域がCVD酸化膜により完全に充填されない。これに伴い、トレンチ領域内にボイドが形成されるという問題点が発生する。

【0004】

【発明が解決しようとする課題】本発明の目的は、素子分離領域にボイドが生成することを防止できる半導体装置のトレンチ素子分離方法を提供することにある。

【0005】

【課題を解決するための手段】前記目的を達成するために、本発明は半導体基板の所定領域が蝕刻されて形成されたトレンチ領域の側壁及び底に熱酸化膜を形成した後、前記熱酸化膜上に緩衝層を形成する。そして、前記緩衝層により囲まれたトレンチ領域に高密度プラズマ酸化膜パターンを形成する。ここで、前記高密度プラズマ酸化膜パターンは、前記緩衝層が形成された結果物全面に、緩衝層によって囲まれたトレンチ領域を充填する高密度プラズマ酸化膜を形成した後、前記高密度プラズマ酸化膜を平坦化させて形成する。前記高密度プラズマ酸化膜は、蒸着及びスパッタ蝕刻が相互交替しながら施される蒸着／蝕刻／蒸着工程によって形成されるので、

0.5 μm またはそれ以下の狭いトレンチ領域をボイドなく完全に充填する特性が非常に優秀である。しかし、前記高密度プラズマ酸化膜はその膜質が非常に緻密であって、トレンチ領域の側壁及び底に激しい物理的ストレスを加える。したがって、前記高密度プラズマ酸化膜及び前記熱酸化膜間に前記緩衝層を介在させることによって、高密度プラズマ酸化膜によるストレスがトレンチ領域の側壁及び底に加えられる現象を緩和させることができる。前記緩衝層は、シリコン窒化膜またはCVD酸化膜で形成することが望ましい。

【0006】本発明によれば、高密度プラズマ酸化膜パターン及び熱酸化膜間に緩衝層を介在させることによって、トレンチ領域の側壁及び底にストレスが加えられる現象を抑制させることができる。したがって、トレンチ領域と隣接した活性領域に不純物層、例えばMOSトランジスタのソース／ドレイン領域を形成する場合に、前記不純物層の接合漏れ電流特性を改善させることができる。

【0007】

【発明の実施の形態】以下、添附した図面を参照して本発明の望ましい一実施例を詳細に説明する。

【0008】図1はパッド酸化膜パターン3及びパッド窒化膜パターン5を形成する段階を説明するための断面図である。まず、半導体基板1、例えばシリコン基板上にパッド酸化膜及びパッド窒化膜を順に形成する。前記パッド酸化膜は一般的に熱酸化膜で形成し、半導体基板1及びパッド窒化膜間のストレスを緩和させる役割をする。前記パッド窒化膜及びパッド酸化膜を連続的にパターンニングし、前記半導体基板1の所定領域を露出させてパッド酸化膜パターン3及びパッド窒化膜パターン5を形成する。

【0009】図2はトレンチ領域T、熱酸化膜7及び緩衝層9を形成する段階を説明するための断面図である。具体的に説明すれば、前記パッド窒化膜パターン5を蝕刻マスクとして前記露出した半導体基板1を蝕刻することによってトレンチ領域Tを形成する。このとき、前記トレンチ領域Tの側壁及び底に蝕刻損傷が加わって結晶欠陥が生成する。このような結晶欠陥は素子分離特性を低下させる。前記蝕刻損傷を治癒するために、前記トレンチ領域Tが形成された結果物を熱酸化させることによって、前記トレンチ領域Tの側壁及び底に熱酸化膜7を形成する。このとき、前記パッド窒化膜パターン5は熱酸化されない。前記熱酸化膜7は、950℃の温度において乾式酸化法で約240Åの厚さで形成する。前記熱酸化膜7が形成された結果物全面に、後続工程で形成される高密度プラズマ酸化膜によるストレスを緩和させるための緩衝層9を形成する。前記緩衝層9は、20Åないし100Åの厚さを持つシリコン窒化膜または20Åないし500Åの厚さを持つCVD酸化膜で形成することが望ましい。

【0010】図3は高密度プラズマ酸化膜パターン11を形成する段階を説明するための断面図である。詳細に説明すれば、前記緩衝層9が形成された結果物全面に、前記緩衝層9によって囲まれたトレンチ領域Tを充填する高密度プラズマ酸化膜を形成する。前記高密度プラズマ酸化膜は、蒸着及びスパッタ蝕刻が相互交替しながら施される蒸着／蝕刻／蒸着工程により形成される。これに伴い、高密度プラズマ酸化膜は、幅が狭いトレンチ領域、例えば0.5 μm またはそれ以下の狭いトレンチ領域をボイドなく完全に充填する特性が優秀である。そして、高密度プラズマ酸化膜は、CVD酸化膜に比べて緻密な膜質を持つので、トレンチ領域Tの側壁及び底に激しいストレスを加える。しかし、前記高密度プラズマ酸化膜によるストレスは前記緩衝層9により緩和されるので、トレンチ領域Tの側壁及び底に結晶欠陥などが生成する現象が防止できる。前記高密度プラズマ酸化膜は、さらに緻密な膜質を得るために、500℃ないし1000℃の温度で施される熱処理工程により凝縮(densify)させることもできる。前記熱処理工程は、アルゴンガスまたは窒素ガスを雰囲気ガスとして使用して施される。この時にもやはり、前記凝縮された高密度プラズマ酸化膜によるストレスは前記緩衝層9によって緩和される。引続き、前記パッド窒化膜パターン5上の緩衝層9が露出するまで、前記高密度プラズマ酸化膜をエッチバック工程または化学機械的研磨(CMP)工程で蝕刻し、緩衝層9により囲まれたトレンチ領域Tに高密度プラズマ酸化膜パターン11を形成する。このとき、前記緩衝層9がCVD酸化膜で形成された場合には、パッド窒化膜パターン5が露出する。

【0011】図4は素子分離膜11aを形成する段階を説明するための断面図である。さらに詳細に説明すれば、前記露出した緩衝層9、パッド窒化膜パターン5及びパッド酸化膜パターン3を順に取り除いて、トレンチ領域Tの両そばの半導体基板1、すなわち活性領域を露出させる。ここで、前記露出した緩衝層9がシリコン窒化膜で形成された場合に、前記露出した緩衝層9の表面には自然酸化膜またはオキシ窒化物膜が存在する。したがって、前記露出された緩衝層9を取り除く前に、前記自然酸化膜またはオキシ窒化物膜を酸化膜蝕刻溶液で取り除く。前記酸化膜蝕刻溶液としては、フッ酸溶液(HF)または緩衝酸化膜蝕刻溶液(BOE)が広く使われる。そして、前記露出した緩衝層9及びパッド窒化膜パターン5は燐酸溶液(H_3PO_4)で取り除き、前記パッド酸化膜パターン3は酸化膜蝕刻溶液で取り除く。このとき、前記高密度プラズマ酸化膜パターン11は酸化膜蝕刻溶液によって蝕刻されるので、トレンチ領域Tに変形された高密度プラズマ酸化膜パターン、すなわち素子分離膜11aが形成される。

【0012】図5は前述した本発明によって形成された素子分離膜と接する活性領域に不純物層、例えばMOS

トランジスタのソース/ドレイン領域を形成した場合において、前記不純物層の接合漏れ電流特性を示すグラフである。ここで、横軸は接合漏れ電流を、縦軸は蓄積分布率を示す。そして、従来の技術によって形成された素子分離膜を持つ半導体装置の不純物層特性、すなわち接合漏れ電流特性も本発明の特性と共に示す。接合漏れ電流特性は、 $24000\mu\text{m}^2$ の面積を持つN型の不純物層に対する漏れ電流を測定した結果である。従来の技術1、従来の技術2、及び従来の技術3は、すべて緩衝層を形成する工程を省略し、熱酸化膜により囲まれたトレンチ領域にCVD酸化膜または高密度プラズマ酸化膜を形成した場合を意味する。さらに具体的に説明すれば、従来の技術1は熱酸化膜により囲まれたトレンチ領域にCVD酸化膜を形成した後、CVD酸化膜を 1050°C の温度で窒素ガスを使用して熱処理した場合である。そして、従来の技術2は熱酸化膜により囲まれたトレンチ領域に高密度プラズマ酸化膜を形成した後、高密度プラズマ酸化膜を 1000°C の温度で窒素ガスを使用して熱処理した場合である。また、従来の技術3は熱酸化膜により囲まれたトレンチ領域に高密度プラズマ酸化膜を形成した後、高密度プラズマ酸化膜を 800°C の温度で窒素ガスを使用して熱処理した場合である。一方、本発明では、熱酸化膜により囲まれたトレンチ領域に約 50\AA の厚さを持つシリコン窒化膜で緩衝層を形成し、前記緩衝層により囲まれたトレンチ領域に高密度プラズマ酸化膜を形成した。そして、前記高密度プラズマ酸化膜は 1000°C の温度で窒素ガスを使用して熱処理した。

【0013】図5を参照すれば、従来の技術1は約20%の測定データが約 40pA ないし 700pA の不均一した接合漏れ電流を、従来の技術2は全体の測定データが約 40pA ないし 7nA の不均一した接合漏れ電流を、従来の技術3は全体の測定データが約 0.1nA ないし 20nA の不均一した接合漏れ電流を示した。一方、本発明は全体の測定データが約 20pA ないし 40

pA の均一した接合漏れ電流を示した。

【0014】

【発明の効果】前述したように、本発明の望ましい実施例によれば、高密度プラズマ酸化膜パターン及び熱酸化膜間に緩衝層を介在させることによって、トレンチ領域の側壁及び底にストレスが加えられる現象を抑制させることができる。したがって、トレンチ領域と隣接する活性領域に不純物層、例えばMOSトランジスタのソース/ドレイン領域を形成する場合、前記不純物層の接合漏れ電流特性を改善させることができる。結果的に、トランジスタのオフ電流を減らし、半導体装置の電力消費を省けるのはもちろん、半導体記憶素子のメモリーセル特性、例えばDRAMセルまたはSRAMセルのデータ維持特性を改善させることができる。

【0015】本発明は前記実施例に限定されなく当業者の水準でその変形及び改良が可能である。

【図面の簡単な説明】

【図1】本発明によるトレンチ素子分離方法を説明するための断面図である。

【図2】本発明によるトレンチ素子分離方法を説明するための断面図である。

【図3】本発明によるトレンチ素子分離方法を説明するための断面図である。

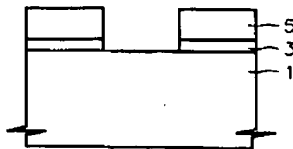
【図4】本発明によるトレンチ素子分離方法を説明するための断面図である。

【図5】本発明によるトレンチ素子分離方法が適用された半導体装置の接合漏れ電流特性及び、従来技術によるトレンチ素子分離方法が適用された半導体装置の接合漏れ電流特性を示したグラフである。

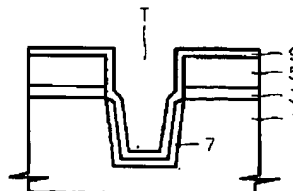
【符号の説明】

- 1…半導体基板
- 3…パッド酸化膜パターン
- 5…パッド窒化膜パターン
- 7…熱酸化膜
- 9…緩衝層

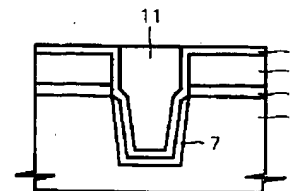
【図1】



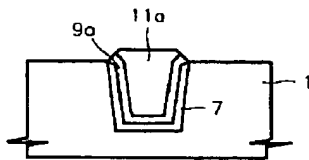
【図2】



【図3】



【図4】



【図5】

